

PatentWeb
HomeEdit
SearchReturn to
Patent List

Help

☒ Include in patent orderMicroPatent^(R) Worldwide PatSearch: Record 1 of 1

[no drawing available]

Family Lookup

JP2000091175

SEMICONDUCTOR WAFER, MANUFACTURE THEREOF AND SEMICONDUCTOR DEVICE

TOSHIBA CORP

Inventor(s): MATSUMOTO MASAHIKO ;CHIKAMATSU NAOHITO ;NAKAYAMA TAKEO ;FUKAURA YASUHIRO ;KASAI
KUNIHIRO ;INOHARA MASAHIRO

Application No. 10280590 , Filed 19980915 , Published 20000331

Abstract:

PROBLEM TO BE SOLVED: To obtain a wafer in which fluctuations in transistor characteristics are reduced by preventing the diffusion into silicon of Cu produced by a heat treatment such as a Cu interconnection forming process and a manufacturing method therefor, as well as to obtain a semiconductor device formed of the same wafer.

SOLUTION: A protective insulating film (protective film made of a material having a small Cu diffusion coefficient) for preventing the diffusion of Cu into the inside of a wafer 100 is formed around the peripheral portion of the main surface of the wafer 100 and on its outer peripheral surface and back surface. The protective insulating film consists of a silicon nitride film 103 and a silicon oxide film. This protective insulating film prevents the diffusion of Cu or the like, which is an interconnection material, into a chip forming region of the wafer 100, thereby suppressing fluctuations in transistor characteristics caused by Cu diffusion. The protective insulating film containing the silicon nitride is formed on the back surface of the wafer 100, its outer peripheral surface continuously joined to the back surface, and the peripheral region of its main surface which is continuously joined to the outer peripheral surface and where at least no integrated circuit is formed.

Int'l Class: H01L02102

MicroPatent Reference Number: 001432049

COPYRIGHT: (C) 2000 JPO

PatentWeb
HomeEdit
SearchReturn to
Patent List

Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91175

(P2000-91175A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) IntCl⁷

H01L 21/02

識別記号

F I

H01L 21/02

テマコード (参考)

B

審査請求 未請求 請求項の数 7 F D (全 11 頁)

(21) 出願番号

特願平10-280590

(22) 出願日

平成10年9月15日 (1998.9.15)

(71) 出願人 000003078.

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松本 雅彦

神奈川県横浜市磯子区新杉田町 8 株式会

社東芝横浜事業所内

(72) 発明者 梶松 尚人

神奈川県横浜市磯子区新杉田町 8 株式会

社東芝横浜事業所内

(74) 代理人 100097629

弁理士 竹村 壽

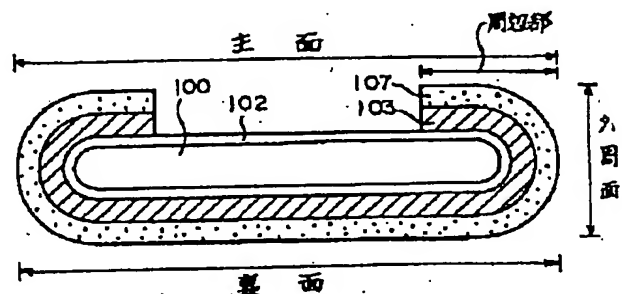
最終頁に続く

(54) 【発明の名称】 半導体ウェーハ、半導体ウェーハの製造方法及び半導体装置

(57) 【要約】

【課題】 Cu配線形成工程などの熱処理により発生するCuのシリコン中への拡散を防止してトランジスタ特性の変動を少なくさせたウェーハ及びその製造方法、このウェーハから形成された半導体装置を提供する。

【解決手段】 ウェーハ主面の周辺部、外周面及び裏面に内部にCuが拡散するのを防ぐ保護絶縁膜 (Cu拡散係数の小さい材料からなる保護膜) を形成する。保護絶縁膜は、シリコン窒化膜103及びシリコン酸化膜から構成されている。この保護絶縁膜によって、配線材料のCuなどがウェーハ100のチップ形成領域内に拡散するのを防止し、Cu拡散が原因で生じるトランジスタ特性の変動を抑制するものである。ウェーハは裏面、この裏面に連続的につながる外周面及びこの外周面に連続的につながり、少なくとも集積回路が形成されない主面の周辺領域に窒化シリコンを含む保護絶縁膜が形成されている。



【特許請求の範囲】

【請求項1】 裏面、この裏面に連続的につながる外周面及びこの外周面に連続的につながり、集積回路が形成される領域とこの領域と接する周辺領域からなる主面とを有し、前記裏面、前記外周面及び前記主面の周辺領域には内部への銅の拡散を防止する保護絶縁膜が形成されていることを特徴とする半導体ウェーハ。

【請求項2】 裏面、この裏面に連続的につながる外周面及びこの外周面に連続的につながり、集積回路が形成される領域とこの領域と接する周辺領域からなる主面とを有し、前記裏面、前記外周面及び前記主面の周辺領域には窒化シリコンからなる保護絶縁膜が形成されていることを特徴とする半導体ウェーハ。

【請求項3】 裏面、この裏面に連続的につながる外周面及びこの外周面に連続的につながり、集積回路が形成される領域とこの領域と接する周辺領域からなる主面とを有する半導体ウェーハの全面に内部への銅の拡散を防止する保護絶縁膜を形成する工程と、前記保護絶縁膜の前記主面の周辺部以外の部分を取り除く工程とを備えていることを特徴とする半導体ウェーハの製造方法。

【請求項4】 前記集積回路には側壁絶縁膜が形成されたゲート電極を有するMOSトランジスタが含まれており、前記保護絶縁膜は、この側壁絶縁膜を形成する工程と同じ工程で形成することを特徴とする請求項3に記載の半導体ウェーハの製造方法。

【請求項5】 円柱状の半導体単結晶インゴットを成長させる工程と、前記単結晶インゴットの表面に内部への銅の拡散を防止する保護絶縁膜を形成する工程と、前記単結晶インゴットをスライスして外周面に前記保護絶縁膜が施された複数の半導体ウェーハを形成する工程とを備えていることを特徴とする半導体ウェーハの製造方法。

【請求項6】 前記半導体ウェーハの主面周辺部及び裏面にも前記外周面に連続的につながる内部への銅の拡散を防止する保護絶縁膜を形成する工程とを備えていることを特徴とする請求項5に記載の半導体ウェーハの製造方法。

【請求項7】 主面及び主面と対向する裏面とを有する半導体基板と、前記主面に形成された集積回路と、前記裏面全面に被覆された内部への銅の拡散を防止する保護絶縁膜とを備えていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置が形成される半導体ウェーハ（以下、ウェーハという）に係り、とくにトランジスタ特性の変動の少ない半導体装置及びウェーハ及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、半導体装置に用いられるシリコンやゲルマニウムなどのウェーハは、通常高周波誘導加熱法や引上げ法などの単結晶成長法により成長させた円柱状のインゴットをスライスして形成される。インゴットから形成されたウェーハは、処理され複数の集積回路が主面に形成される。その後、ウェーハは、スクライブラインに沿って切断され、集積回路領域が形成されたチップ毎に分離される。

【0003】

- 10 【発明が解決しようとする課題】 図20は、半導体基板に形成された従来の半導体装置の断面図である。半導体装置は、ウェーハ上に形成され、最終的にウェーハを切断してそれぞれに集積回路が形成されたチップを分離する。したがって、図20は、チップの断面図を示し、とくにウェーハの外周面及び集積回路が形成されない周辺領域（部）に近い部分のチップを記載している。半導体基板1は、例えば、p型シリコン半導体である。図20の左側は、ウェーハの外周部及び周辺部であり、この部分は後述する理由で半導体基板1表面が露出している。外周部及び周辺部より内側（図の中央及び右側）はチップ領域を表わしている。チップ領域にはSTI (Shallow Trench Isolation) 構造やLOCOS (Local Oxidation of Silicon) 法などにより形成された SiO_2 からなる素子分離領域2が形成されている。素子分離領域2により区画された素子領域にはn型ソース/ドレイン領域3が形成されている。ソース/ドレイン領域3間の上に熱酸化方でシリコン酸化膜などのゲート絶縁膜4を介してポリシリコンなどからなるゲート電極5が形成されている。
- 20
- 30
- 40
- 50
- ゲート絶縁膜4は、半導体基板1全面に形成され、この上にゲート電極5を被覆するようにシリコン酸化膜が形成される。

【0004】 このシリコン酸化膜はRIE (Reactive Ion Etching) などの異方性エッチングでエッチングされてゲート電極5の側面に側壁絶縁膜6に加工される。次に、半導体基板1上には、BPSG (Boron-doped Phospho-Silicate Glass) などの層間絶縁膜7が堆積され、これは平坦化される。この層間絶縁膜7には、底辺がソース/ドレイン領域3のいずれかに接するコンタクト孔を形成し、内部にタングステン (W) などの接続配線8を埋め込む。層間絶縁膜7の平坦化された表面には銅 (Cu) からなる金属膜が堆積され、パターニングされて接続配線8と電気的に接続されるCu配線9に加工される。Cu配線9の上には保護絶縁膜が形成されるかあるいは保護絶縁膜を施す間に層間絶縁膜を介してさらに複数の上層のCu配線を形成することができる。半導体装置に用いられる上記Cu配線技術では、Cuのシリコンウェーハ中への拡散が非常に懸念される問題となっている。従来のCu配線技術では、CuをTa、TiN、SiNなどのバリア膜で覆うことが基本になるが、工程途中においてウェーハのエッジや裏面等にCuが付着した

り、あるいは製造装置やウェーハキャリアから付着するなどの可能性が考えられる。従来のウェーハエッジ部はバターンングする際には必ず1~3mm程度レジスト除去されているので、エッチング処理を行った後は半導体基板表面が露出してしまうことになる。

【0005】トランジスタ上はSiNライナーを形成しているため上からのCuの拡散はブロック可能である。しかし、ウェーハ裏面、ウェーハエッジはシリコンむき出しの状態であり、この状態でCuプロセス工程を通ると、図20に示されるように、露出されたウェーハの外周部からチップ中にCuが拡散し、チップに形成されるトランジスタ特性を変動させる恐れがあった。すなわち、従来の半導体基板は、例えば、シリコンウェーハではシリコンのみでウェーハが形成されている。このウェーハを用いた半導体装置の製造工程、とくにリソグラフィ工程ではキャリア等へのレジスト付着を防ぐためにウェーハの周辺部分は前述のようにレジストが除去される。そのためウェーハエッジ部分は、常にエッチング雰囲気中に晒されることになるのでシリコン基板は露出状態になる。その結果、前述のようにCu配線を形成する時にシリコン部分に直にCuが付着することによる半導体基板の汚染が生じてしまう。また、p型エピタキシャルシリコン半導体層が形成された高濃度半導体基板（p-epi on p⁺基板）を用いるときにも熱工程中に不純物が外方拡散するという問題がある。本発明は、このような事情によりなされたものであり、Cu配線形成工程などの熱処理により発生するCuのシリコン中への拡散を防止してトランジスタ特性の変動を少なくさせたウェーハ及びその製造方法、このウェーハから形成された半導体装置を提供する。

【0006】

【課題を解決するための手段】本発明は、ウェーハ主面の周辺領域（周辺部）、外周面及び裏面に内部にCuが拡散するのを防ぐ保護絶縁膜（すなわち、Cu拡散係数の小さい材料からなる保護絶縁膜）を形成することを特徴とする。この保護絶縁膜によって、配線材料のCuなどがウェーハのチップ形成領域内に拡散するのを防止し、Cu拡散が原因で生じるトランジスタ特性の変動を抑制するものである。本発明のウェーハは、裏面、この裏面に連続的につながる外周面及びこの外周面に連続的につながり、集積回路が形成される領域とこの領域と接する周辺領域からなる主面とを有し、前記裏面、前記外周面及び前記主面の周辺領域には内部への銅の拡散を防止する保護絶縁膜が形成されていることを第1の特徴としている。また、本発明のウェーハは、裏面、この裏面に連続的につながる外周面及びこの外周面に連続的につながり、集積回路が形成される領域とこの領域と接する周辺領域からなる主面とを有し、前記裏面、前記外周面及び前記主面の周辺領域には窒化シリコンからなる保護絶縁膜が形成されていることを第2の特徴としている。

【0007】本発明のウェーハの製造方法は、裏面、この裏面に連続的につながる外周面及びこの外周面に連続的につながり、集積回路が形成される領域とこの領域と接する周辺領域からなる主面とを有する半導体ウェーハの全面に内部への銅の拡散を防止する保護絶縁膜を形成する工程と、前記保護絶縁膜の前記主面の周辺部以外の部分を取り除く工程とを備えていることを特徴としている。前記集積回路には側壁絶縁膜が形成されたゲート電極を有するMOSトランジスタが含まれており、前記保護絶縁膜は、この側壁絶縁膜を形成する工程と同じ工程で形成するようにしても良い。また本発明のウェーハの製造方法は、円柱状の半導体単結晶インゴットを成長させる工程と、前記単結晶インゴットの表面に内部への銅の拡散を防止する保護絶縁膜を形成する工程と、前記単結晶インゴットをスライスして外周面に前記保護絶縁膜が施された複数の半導体ウェーハを形成する工程とを備えていることを第2の特徴としている。前記半導体ウェーハの主面周辺部及び裏面にも前記外周面に連続的につながる内部への銅の拡散を防止する保護絶縁膜を形成する工程とを備えているようにしても良い。本発明の半導体装置は、主面及び主面と対向する裏面とを有する半導体基板と、前記主面に形成された集積回路と、前記裏面全面に被覆された内部への銅の拡散を防止する保護絶縁膜とを備えていることを特徴としている。

【0008】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1乃至図5を参照して第1の実施例を説明する。図1は、ウェーハ主面の平面図、図2乃至図4は、ウェーハの断面図、図5は、チップ形成領域にチップを形成した後のウェーハ主面の平面図である。ウェーハ100は、インゴットをスライスし、整形加工して得られた、例えば、p型シリコン半導体基板からなる。ウェーハ100は、その主面に溝（トレチ）を形成し、シリコン酸化膜（SiO₂）などの絶縁膜を埋め込んでSTI構造などの素子分離領域を形成する。このときのウェーハ100主面にはチップ形成領域101が形成される。前記素子分離領域を形成してからウェーハ100の全表面に熱酸化などによりシリコン酸化膜（SiO₂）102を形成する。次に、例えば、LPCVD（Low Pressure Chemical Vapour Deposition）などによりシリコン酸化膜102上にシリコン窒化膜（SiN）103を堆積させる。次に、LPCVDなどにより、シリコン窒化膜103上にポリシリコン膜104を堆積させる。さらに、LPCVDなどによりポリシリコン膜104上にシリコン窒化膜105を堆積させる（図2（a））。

【0009】次に、ウェーハ100主面のシリコン窒化膜105上にフォトレジスト106を塗布し、これをバターンングしてウェーハ100の周辺部のフォトレジスト106を除去する。そして、このバターンングされた

フォトリソスト106をマスクにして、例えば、RIEなどの異方性エッチングによりウェーハ100の主面周辺部、外周面及び裏面に露出したシリコン窒化膜105を除去する。つまり、主面の周辺部を除いたほぼチップが形成される領域にはシリコン窒化膜105及びその上のフォトリソスト106が被覆されている(図2

(b))。次にフォトリソスト106を除去した後、熱処理工程によってウェーハ100の主面周辺部、外周面及び裏面のポリシリコン膜104を酸化させてシリコン酸化膜107を形成する(図3(a))。次に、シリコン窒化膜105を除去した後、ドライエッチング法などによってシリコン窒化膜105に被覆されていたポリシリコン膜104を除去し、シリコン窒化膜103を部分的に露出させる(図3(b))。次に、ウェーハ100の主面周辺部、外周面及び裏面に被覆されたシリコン酸化膜107をマスクにし、ホットリン酸等を用いて露出されたシリコン窒化膜103を除去する(図4)。

【0010】このようにして、ウェーハ100主面のチップが形成される主要な中央領域は、シリコン酸化膜102に被覆され、主面周辺部、外周面及び裏面は、シリコン窒化膜103及びシリコン酸化膜107の積層体に被覆されている。シリコン酸化膜102は、ウェーハに形成されるゲート絶縁膜などとして用いられる。このウェーハ100に対して素子分離領域形成工程及びゲート絶縁膜形成工程以降の処理(薄膜形成処理、酸化処理、ドーピング処理、アニール処理、レジスト処理、露光処理、エッチング処理など)を施して各チップ形成領域101に集積回路を形成して、チップ形成領域101をチップ108に加工する。その後ウェーハは、主面に形成されたスクライブラインに沿って切断され、チップ108を個別に分離する(図5)。なお、図5に示された部分的に保護絶縁膜107で被覆されたチップA、B、Cは、特性が不安定になる場合があるので、製品として用いない。この実施例に用いられたウェーハは、主面周辺部、外周面及び裏面がシリコン酸化膜で覆われたシリコン窒化膜で被覆されているので、上記処理工程におけるCu配線工程でウェーハ主面の周辺部にシリコン基板が露出するのを防ぐことができる。このため、配線材料のCuなどがウェーハのチップ形成領域内に拡散するのを防止し、Cu拡散が原因で生じるトランジスタ特性の変動を抑制できる。すなわち、シリコン窒化膜及びシリコン酸化膜は、Cuの拡散を防止する保護絶縁膜として用いられる。

【0011】次に、図6及び図7を参照して第2の実施例を説明する。図6及び図7は、ウェーハの断面図である。ウェーハ200は、インゴットをスライスし、整形加工して得られた、例えば、p型シリコン半導体基板からなる。ウェーハ200は、主面に溝を形成し、シリコン酸化膜(SiO_2)などの絶縁膜を埋め込んでSTI構造の素子分離領域を形成する。このときウェーハ200

0主面にはチップ形成領域(図示せず)が形成される。素子分離領域を形成してから、シリコンウェーハ200の全表面に、例えば、LPCVDなどによりシリコン酸化膜(SiO_2)201を堆積させる(図6(a))。次に、ウェーハ200主面のシリコン酸化膜201上にフォトリソスト202を塗布し、これをパターニングしてウェーハ200の主面周辺部のフォトリソストを除去する。そして、このパターニングされたフォトリソスト202をマスクにして、例えば、RIEなどの異方性エッチングによりウェーハ200の主面周辺部外周面及び裏面に露出したシリコン酸化膜201を除去する。つまり、主面の周辺部を除いたほぼチップが形成される領域にはシリコン酸化膜201及びその上のフォトリソスト202が被覆されている(図6(b))。

【0012】次に、フォトリソスト202を除去してからLPCVD法などによりシリコン窒化膜203をシリコン酸化膜201上に堆積させる。その後、シリコン酸化膜203の表面を、シリコン酸化膜201をストッパーとして、CMP(Chemical Mechanical Polishing)技術によりシリコン酸化膜201が露出するまで平坦化処理を施す(図7)。この結果、ウェーハ周辺部及び裏面にシリコン窒化膜203が形成された状態になる。シリコン酸化膜201は、その後、エッチング除去される。このようにして、ウェーハ200の主面周辺部、外周面及び裏面は、シリコン窒化膜203に被覆される。このウェーハ200に対して素子分離領域形成工程以降の処理(薄膜形成処理、酸化処理、ドーピング処理、アニール処理、レジスト処理、露光処理、エッチング処理など)を施して各チップ形成領域に集積回路を形成して、チップ形成領域をチップ108に加工する。その後ウェーハは、主面に形成されたスクライブラインに沿って切断され、且つチップを個別に分離する。

【0013】この実施例に用いられたウェーハは、主面周辺部、外周面及び裏面がシリコン酸化膜で覆われたシリコン窒化膜で被覆されているので、上記処理工程におけるCu配線工程でウェーハ主面の周辺部にシリコン基板が露出するのを防ぐことができる。すなわち、シリコン窒化膜は、Cuの拡散を防止する保護絶縁膜として用いられる。この保護絶縁膜があるので配線材料のCuなどがウェーハのチップ形成領域内に拡散するのを防止し、Cu拡散が原因で生じるトランジスタ特性の変動を抑制することができる。

【0014】次に、図8及び図9を参照して第3の実施例を説明する。図8及び図9は、ウェーハに保護絶縁膜を施す工程を説明する断面図である。ウェーハ300は、インゴットをスライスし、整形加工して得られた、例えば、p型シリコン半導体基板からなる。この実施例では、保護絶縁膜を施すためにダミーウェーハを利用することを特徴としている。シリコンウェーハ300と、これより一回り程度径の小さいダミーウェーハ301を

交互に重ねる。シリコンウェーハの周辺部は、全周がダミーウェーハより突出するように積層配置されている(図8)。このように複数のシリコンウェーハ及びダミーウェーハを積層した状態でLPCVD法によりシリコン窒化膜(SiN)を積層体の周囲に堆積させる(図9(a))。その後各シリコンウェーハを積層体から分離すると、ウェーハエッジ部分のみシリコン窒化膜が堆積されたシリコンウェーハが作製される(図9(b))。しかし、図に示すように、このままでは裏面の中央部分にはシリコン窒化膜が覆われていない。そこで、ウェーハ処理工程において、Cu配線形成工程が実施される前に、例えば、ゲート電極の側壁絶縁膜をシリコン窒化膜で形成する際に、このシリコン窒化膜をCuの内部への拡散を防止する保護絶縁膜としてウェーハの裏面に残すことにより、保護絶縁膜を所定の部分に完全に被覆することができる。すなわち、このような場合は、保護絶縁膜はウェーハ処理工程の前処理とウェーハ処理工程中の2段階に分けて行うことになる。

【0015】このようにして、ウェーハ300の主面周辺部、外周面及び裏面は、シリコン窒化膜302に被覆される。このウェーハ300に対して素子分離領域形成工程以降の処理(薄膜形成処理、酸化処理、ドーピング処理、アニール処理、レジスト処理、露光処理、エッチング処理など)を施して各チップ形成領域に集積回路を形成して、チップ形成領域をチップに加工する。その後ウェーハは、主面に形成されたスクライブラインに沿って切断され、チップを個別に分離する。この実施例に用いられたウェーハは、主面周辺部、外周面及び裏面がシリコン酸化膜で覆われたシリコン窒化膜で被覆されているので、上記処理工程におけるCu配線工程でウェーハ主面の周辺部にシリコン基板が露出するのを防ぐことができる。すなわち、シリコン窒化膜は、Cuの拡散を防止する保護絶縁膜として用いられる。この保護絶縁膜があるので配線材料のCuなどがウェーハのチップ形成領域内に拡散するのを防止し、Cu拡散が原因で生じるトランジスタ特性の変動を抑制することができる。また、ウェーハ処理工程中の工程を用いるので工程が簡略される。ダミーウェーハは、シリコンウェーハに限らずスペーサとして用いられるものであるならどのような材料を用いても良い。

【0016】次に、図乃至図13を参照して第4の実施例を説明する。この実施例では2つのウェーハを張り合わせて1つのウェーハを形成することを特徴としている。図10(a)乃至図12は、ウェーハに保護絶縁膜を施す工程を説明する断面図、図13は、ウェーハ平面図である。ウェーハ400a、400bは、インゴットをスライスし、整形加工して得られた、例えば、p型シリコン半導体基板からなる。ウェーハ400a全面にLPCVD法によりシリコン窒化膜401を堆積させる。続いてシリコン窒化膜401表面を熱処理などにより酸

化し、シリコン酸化膜402を形成する(図10

(a))。次に、張り合わせ技術によって、シリコンウェーハ/シリコン窒化膜/シリコン酸化膜上に、もう一つのシリコンウェーハ400bを張り合わせる(図10(b))。次に、ウェーハ400b上にパターニングされたフォトリソ(図示せず)を塗布した後、これをマスクにしてウェーハ400bをRIEなどによりエッチングしてウェーハ400bの主面周辺部にシリコン窒化膜401に達する溝403を形成する(図11

(a))。続いてCVD法によりシリコン窒化膜404を堆積させる(図11(b))。その後、CMPによりシリコン窒化膜404の表面をウェーハ400b主面が露出するまで平坦化を行う(図12)。

【0017】この方法により、ウェーハ400bの主面周辺部の一部、外周面及び裏面がシリコン窒化膜で覆われた状態にすることが可能である。主面周辺部の一部は図のように露出されるが、ウェーハ400bの周辺部からCuが中心部に入り込むようなことはない。このようにして、ウェーハの主面周辺部、外周面及び裏面は、シリコン窒化膜に被覆される。このウェーハに対して素子分離領域形成工程以降の処理(薄膜形成処理、酸化処理、ドーピング処理、アニール処理、レジスト処理、露光処理、エッチング処理など)を施して各チップ形成領域に集積回路を形成して、チップ形成領域をチップに加工する。その後ウェーハは、主面に形成されたスクライブラインに沿って切断され、チップを個別に分離する。この実施例に用いられたウェーハは、主面周辺部、外周面及び裏面がシリコン酸化膜で覆われたシリコン窒化膜で被覆されているので、上記処理工程におけるCu配線工程でウェーハ主面の周辺部にシリコン基板が露出するのを防ぐことができる。すなわち、シリコン窒化膜は、Cuの拡散を防止する保護絶縁膜として用いられる。この保護絶縁膜があるので配線材料のCuなどがウェーハのチップ形成領域内に拡散するのを防止し、Cu拡散が原因で生じるトランジスタ特性の変動を抑制することができる。また、ウェーハ処理工程中の工程を用いるので工程が簡略される。

【0018】次に、図14乃至図17を参照して第5の実施例を説明する。図14は、Cuの拡散を防止する保護絶縁膜で側面が被覆されたウェーハの平面図、図15は、ウェーハ主面側の半分及び左側の半分を示した部分断面図、図16は、インゴットの斜視図、図17は、インゴットの斜視図及びウェーハの平面図である。この実施例では、ウェーハ500の周辺部がCuの拡散を防止する保護絶縁膜501により被覆されている。すなわち、ウェーハ500の外周から数mm(例えば、1mm)は、シリコン窒化膜からなる保護絶縁膜501で構成されている(図14)。したがって、ウェーハ500の外周より内側にゲート電極502を被覆するシリコン酸化膜などからなる層間絶縁膜503の終端部が配置さ

れているが、その終端部は、保護絶縁膜 501 の上に形成されるので、絶縁膜 503 の上に Cu 配線を形成しても Cu 配線はシリコンウェーハに直接接触せず、ウェーハ内部に Cu が拡散することが防がれている（図 15）。また、p 型エピタキシャル層が形成された高濃度半導体基板（p-e-p i o n p⁺ 基板）の様に高濃度半導体基板を用いた場合も、ウェーハ周辺部の裏面露出部分が、シリコン窒化物（SiN）となるので半導体装置製造時の熱工程による不純物の外方拡散が防止できる。

【0019】図 14 に示すウェーハ 500 は、次のようにして製造される。例えば、周知の引上げ法などにより形成したシリコンインゴット 510 を所定の直径に加工する（図 16（a））。従来方法では、この後インゴットをスライスしてウェーハを切り出すのであるが、この実施例では、このインゴット 510 に窒化処理を施すことにより、その全表面を保護絶縁膜となるシリコン窒化膜 501 に化学変化させる。他の方法としては化学気相堆積法（CVD）によりインゴット 510 の表面にシリコン窒化膜 501 を所望の厚さだけ堆積させる方法もある（図 16（b））。このようにして作成した保護絶縁膜 501 で被覆されたインゴット 510 を所定の厚さにスライスし、表面をスライス加工することにより図 14 に示すウェーハ 500 が形成される。ウェーハに施される Cu の拡散を防止する保護絶縁膜は、以上のようなシリコン窒化膜に限らず、例えば、シリコン酸化膜でもよい。その方法は、次のように行われる。まだ表面処理が施されていない前記インゴット 510 に熱酸化法などにより酸化処理を施して表面を所望の厚さのシリコン酸化膜 505 に化学変化させる（図 17（a））。他の方法としては化学気相堆積法（CVD）によりインゴット 510 の表面にシリコン窒化膜 505 を所望の厚さだけ堆積させる方法もある。このように表面処理したインゴット 510 をスライスし、ポリッシングを行うことにより周辺部がシリコン酸化膜 505 で構成されたシリコンウェーハ 500 が形成される（図 17（b））。

【0020】この実施例では、ウェーハの集積回路が形成される主面の周辺部に前記保護絶縁膜が施されているので、主面上に Cu 配線を形成する際に、もともとフォトレジストを付着させない主面周辺部がエッチングなどでウェーハが露出することではなく、したがって、この部分から Cu がウェーハのチップ形成領域に拡散することはない。また、ウェーハ裏面は露出しているため、ここから Cu が拡散することが考えられるが、これを防ぐ必要がある場合には、ウェーハ形状に加工してからウェーハ裏面にさらにシリコン酸化膜やシリコン窒化膜などの保護絶縁膜を形成することもできる。また、ウェーハ処理工程において、Cu 配線形成工程以前に行われるシリコン窒化膜から構成された側壁絶縁膜を形成する工程に合わせてそのシリコン窒化膜を保護絶縁膜として用いる

ことができる。

【0021】以下、図 18 及び図 19 を参照して第 6 の実施例を説明する。この実施例では前述したゲートの側壁絶縁膜の形成を利用して Cu の拡散を防止する保護絶縁膜をウェーハに形成する本発明の方法を説明する。図 18 乃至図 19 は、半導体装置の製造工程断面図である。半導体装置は、ウェーハ上に形成され、最終的にウェーハを切断して半導体装置が形成されたチップを分離する。したがって、図は、ウェーハ周辺部に繋がるチップの断面図を示している。このウェーハ周辺部は、チップを分離するときに除去される。半導体基板 601 は、例えば、p 型シリコン半導体である。図の左側にウェーハの外周部がある。外周部より内側（図の中央及び右側）はチップ領域を表わしている。チップ領域には STI 構造や LOCOS 法などにより形成された SiO₂ からなる素子分離領域 602 が形成される。素子分離領域 602 により区画された素子領域にはイオン注入による n 型エクステンション領域 603 ソース／ドレイン領域 3 が形成される。半導体基板 601 のチップ領域上には熱酸化によりゲート絶縁膜（SiO₂）604 を形成し、この上にポリシリコンなどからなるゲート電極 605 を形成する（図 18（a））。

【0022】次に、この半導体基板 601 の全面、すなわち、ウェーハの主面、外周面及び裏面にシリコン窒化膜 606 を LPCVD 法などにより形成する（図 18（b））。次に、保護絶縁膜になる部分をマスクし、RIE などの異方性エッチングによりゲート電極 605 の側面には、シリコン窒化膜の側壁絶縁膜 607 を形成し、ウェーハ周辺部、外周面、裏面には、Cu の拡散を防止する保護絶縁膜 608 を形成する。その後、側壁絶縁膜 607 をマスクにして不純物をイオン注入して n 型ソース／ドレイン領域 609 を形成する（図 19（a））。

次に、半導体基板 601 上に、BPSC の層間絶縁膜 610 が堆積され、平坦化される。さらに、これより薄いシリコン窒化膜 611 を平坦化された表面に堆積させる。この層間絶縁膜 610、シリコン窒化膜（SiN）611 には、底辺がソース／ドレイン領域 609 のいずれかに接するコンタクト孔 612 を形成し、内部及びシリコン窒化膜 611 表面に Ti もしくは TiN/Ti などのバリアメタル層 613 を形成し、さらに、バリアメタル層 613 上に Cu 膜 614 を堆積させる。そして、これをパターニングして Cu 配線 614 を形成する（図 19（b））。Cu 配線 614 の上には保護絶縁膜（図示せず）が形成されるかあるいは保護絶縁膜を施す間に層間絶縁膜を介してさらに複数の上層の Cu 配線を形成することができる。

【0023】この実施例では、ウェーハの集積回路が形成される主面の周辺部に前記保護絶縁膜が施されているので、主面上に Cu 配線を形成する際に、もともとフォトレジストを付着させない主面周辺部がエッチングなど

でウェーハが露出することはない、したがって、この部分からCuがウェーハのチップに拡散することはない。もできる。また、ウェーハ処理工程において、Cu配線形成工程以前に行われるシリコン窒化膜から構成された側壁絶縁膜を形成する工程に合わせてそのシリコン窒化膜を保護絶縁膜として用いることができる。本発明ではウェーハ処理工程の一部の工程を利用する場合は、側壁絶縁膜形成工程に限らない。図19に示すシリコン窒化膜611を形成する工程を利用するなどCu配線形成工程を実施する前の工程ならどの工程でも利用することが可能である。

【0024】

【発明の効果】本発明は、ウェーハの主面周辺部、外周部及び裏面に、シリコン窒化膜やシリコン酸化膜をCuの拡散を防止する保護絶縁膜を形成しているため、Cuの半導体基板への拡散を防ぎ、トランジスタ特性（例えば、しきい値）の変動を抑制する事ができる。また、上記保護絶縁膜をウェーハのチップ領域に集積回路を形成するウェーハ処理工程中の工程を利用することによって工程を簡略することが可能になる。

【図面の簡単な説明】

【図1】第1の実施例のウェーハ裏面の平面図。

【図2】第1の実施例のウェーハを製造する工程断面図。

【図3】第1の実施例のウェーハを製造する工程断面図。

【図4】第1の実施例のウェーハを製造する工程断面図。

【図5】第1の実施例のウェーハ主面の平面図。

【図6】第2の実施例のウェーハを製造する工程断面図。

【図7】第2の実施例のウェーハを製造する工程断面図。

【図8】第3の実施例のウェーハを製造する工程断面図。

【図9】第3の実施例のウェーハを製造する工程断面図。

図。

【図10】第4の実施例のウェーハを製造する工程断面図。

【図11】第4の実施例のウェーハを製造する工程断面図。

【図12】第4の実施例のウェーハを製造する工程断面図。

【図13】第4の実施例のウェーハ主面の平面図。

【図14】第5の実施例のウェーハの平面図。

【図15】第5の実施例の半導体基板の断面図。

【図16】第5の実施例のインゴットの斜視図。

【図17】第5の実施例のインゴット斜視図及びウェーハ平面図。

【図18】第6の実施例の半導体装置の製造工程断面図。

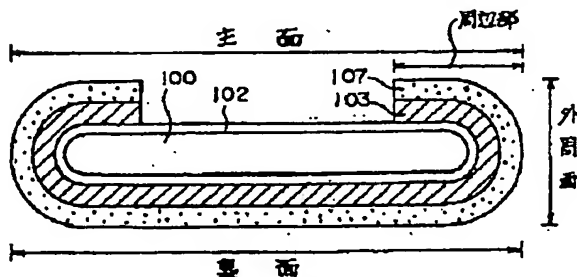
【図19】第6の実施例の半導体装置の製造工程断面図。

【図20】従来の半導体装置の断面図。

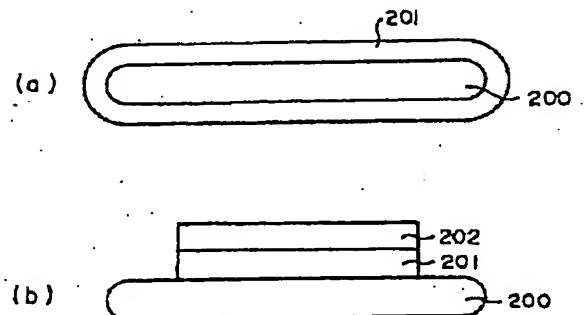
【符号の説明】

- 20 1、601・・・半導体基板、 2、602・・・素子分離領域、3、609・・・ソース/ドレイン領域、4、604・・・ゲート絶縁膜、5、502、605・・・ゲート電極、6、607・・・側壁絶縁膜、7、503、610・・・層間絶縁膜、8・・・接続配線、9、504、614・・・Cu配線、100、200、300、400a、400b、500・・・ウェーハ、101・・・チップ形成領域、102、107、201、402、505・・・シリコン酸化膜、103、105、203、401、404、505、606、611・・・シリコン窒化膜、104・・・ポリシリコン膜、106、202・・・フォトリソ、108・・・チップ、301・・・ダミーウェーハ、403・・・溝、501、608・・・保護絶縁膜、603・・・エクステンション領域、612・・・コンタクト孔、613・・・バリアメタル層。

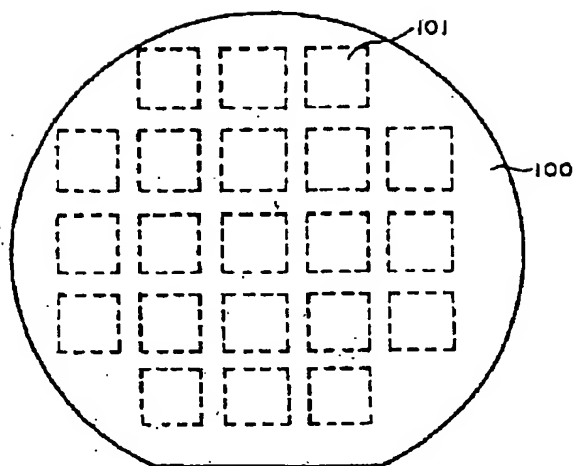
【図4】



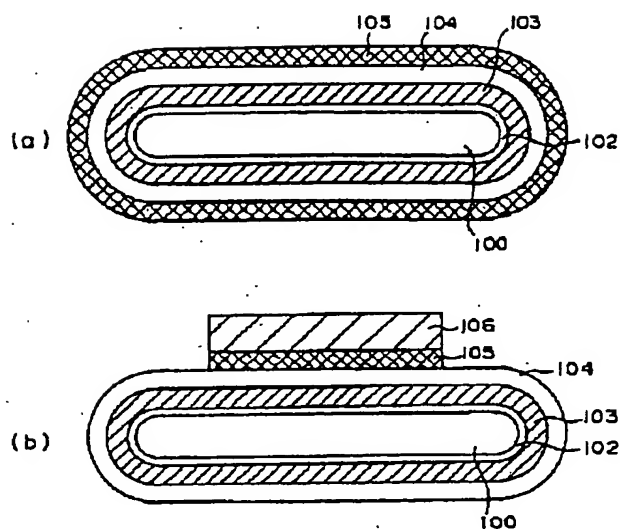
【図6】



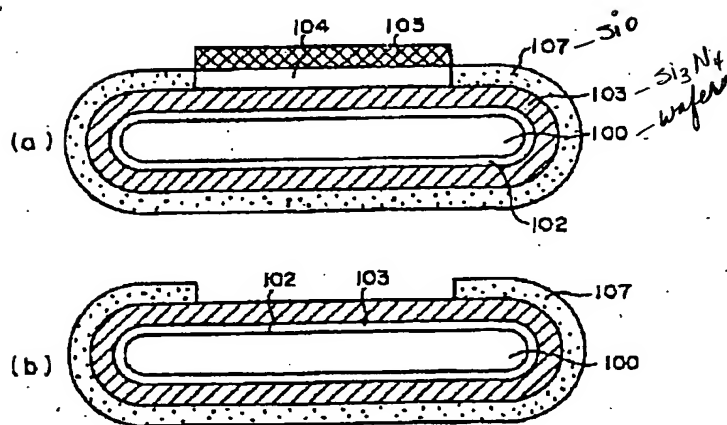
【図1】



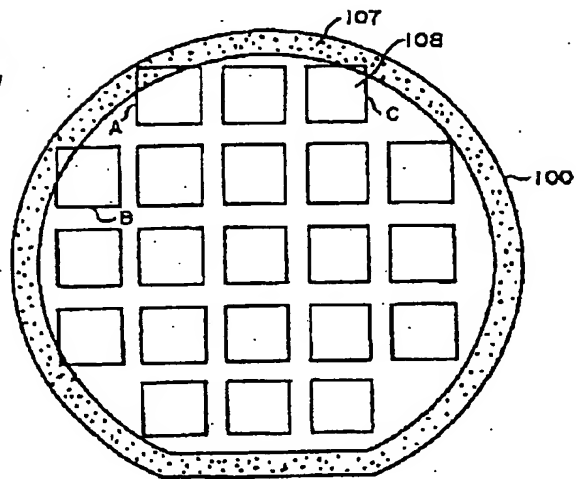
【図2】



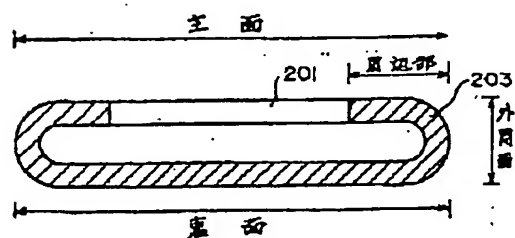
【図3】



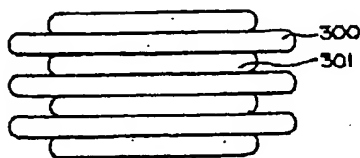
【図5】



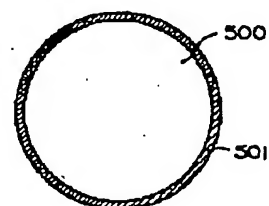
【図7】



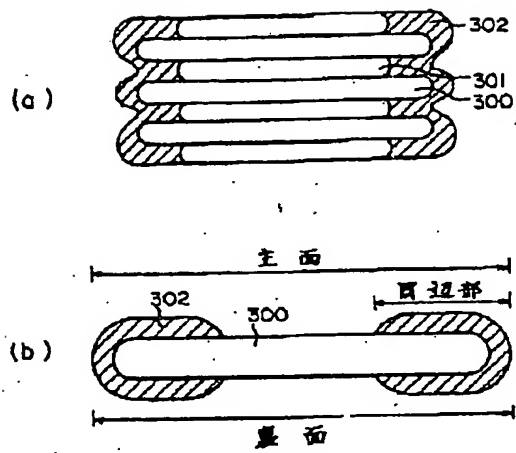
【図8】



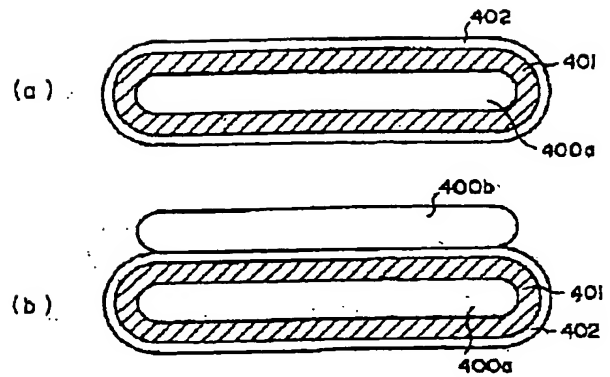
【図14】



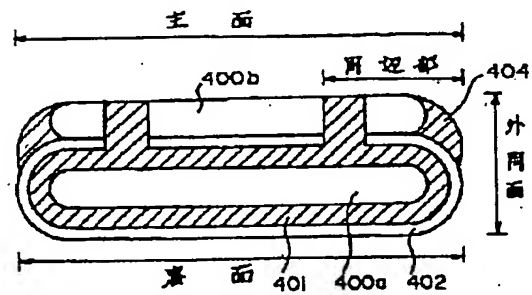
【図9】



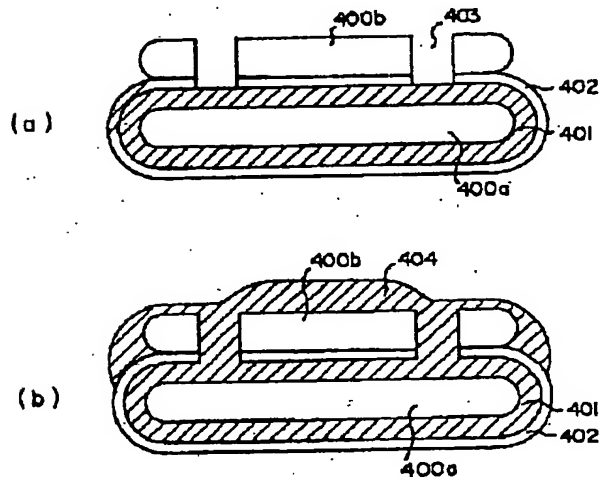
【図10】



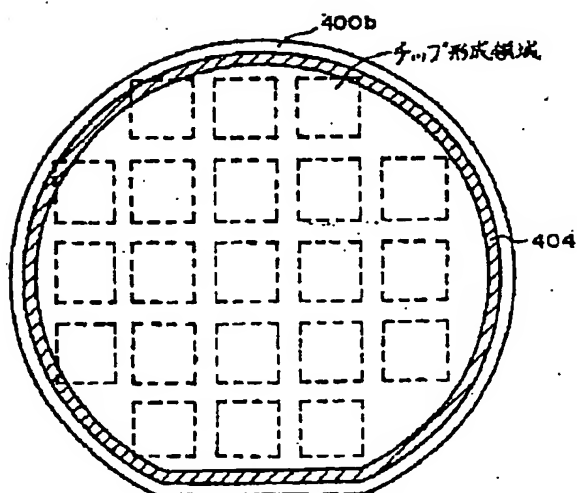
【図12】



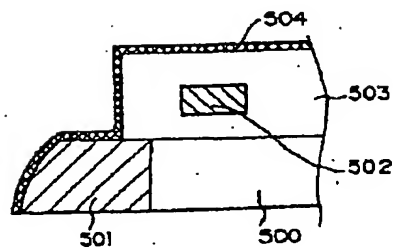
【図11】



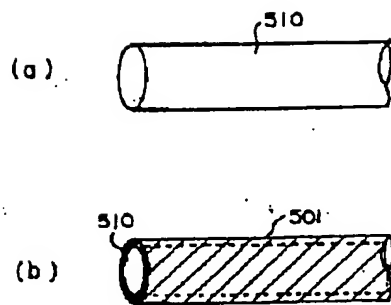
【図13】



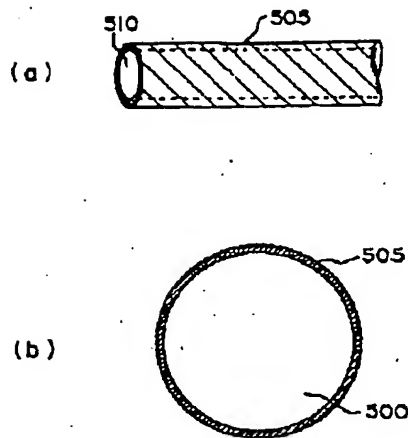
【図15】



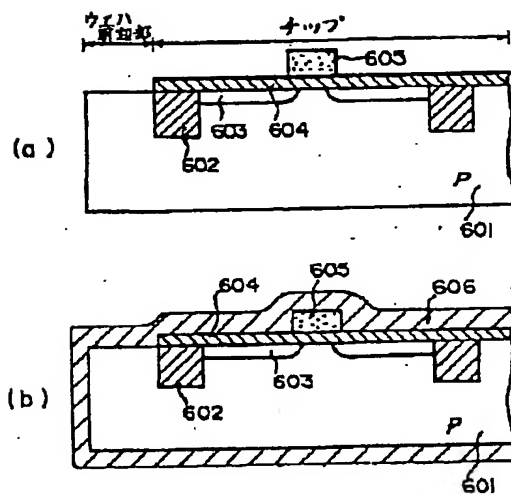
【図16】



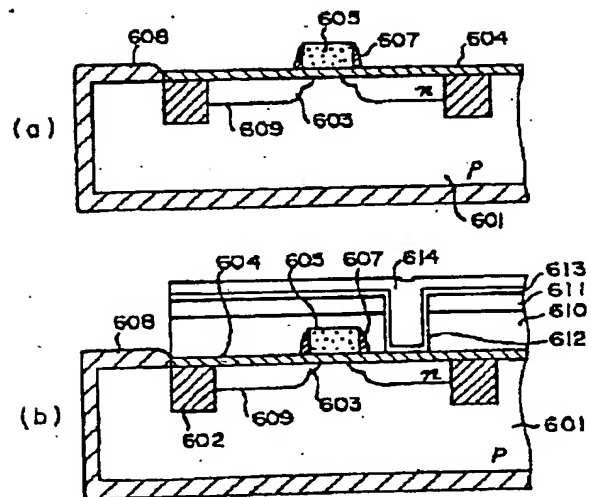
【図17】



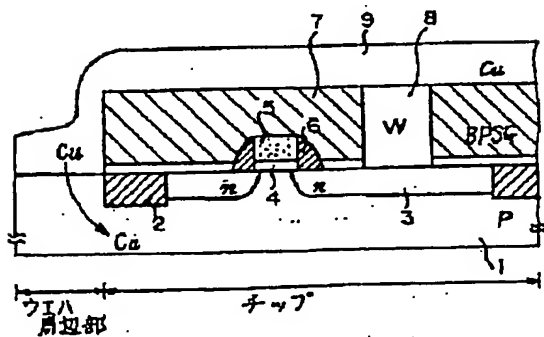
【図18】



【図19】



【図20】



フロントページの続き

(72)発明者 中山 武雄
神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内
(72)発明者 深浦 康弘
神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72)発明者 笠井 邦弘
神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内
(72)発明者 猪原 正弘
神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内